

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-040754

(43)Date of publication of application : 08.02.2000

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

H01L 27/115

(21)Application number : 10-352513

(71)Applicant : SAMSUNG ELECTRONICS CO LTD

(22)Date of filing : 11.12.1998

(72)Inventor : IN ZAISUN

SAI TEIHYUKU

(30)Priority

Priority number : 98 9828035

Priority date : 11.07.1998

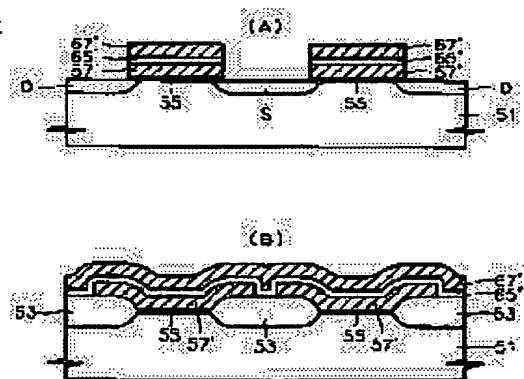
Priority country : KR

(54) MANUFACTURE OF FLASH MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable the surface of a floating gate to be maximized in area and protected against etching damages.

SOLUTION: This manufacturing method comprises a first step, where an element isolating film 53 is formed on a semiconductor substrate 51 to demarcate an active region, a second step where a tunnel oxide film 55 is formed on the active region, a third step where a semiconductor film 57, a protective film, and a first conductive film are successively formed on the entire surface of the semiconductor substrate after the tunnel oxide is formed, a fourth step where the first conductive film formed on the element isolating film is etched into a first conductive film pattern on the tunnel oxide film, a fifth step where a spacer is formed on the sidewall of the first conductive film pattern, a sixth step, where a protective film pattern is formed by etching the protective film using the first conductive film pattern and the spacer as a mask, a seventh step where the semiconductor film exposed under the protective film pattern is etched to form a semiconductor film pattern on the tunnel oxide film to make both the element isolating film and the protective film pattern exposed, an eighth step where the protective film pattern is removed. The semiconductor film pattern is doped with impurities, and a ninth step, where an interlayer insulating film 65 and a second conductive film 67 are successively formed on all the surface of the semiconductor substrate, after the semiconductor film pattern is doped.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-40754

(P2000-40754A)

(43) 公開日 平成12年2月8日(2000.2.8)

(51) Int. Cl. ⁷	識別記号	F I	キーワード(参考)
H01L 21/8247		H01L 29/78	371
29/788		27/10	434
29/792			
27/115			

審査請求 未請求 請求項の数13 O L (全 8 頁)

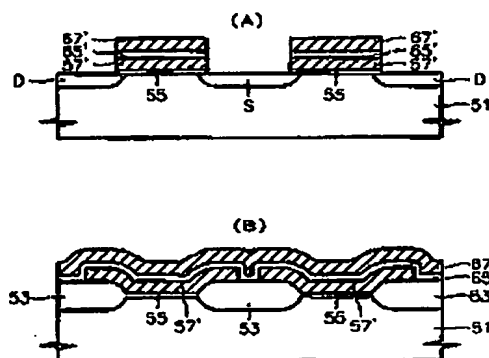
(21) 出願番号	特願平10-352513	(71) 出願人	380019639 三星電子株式会社 大韓民国京畿道水原市八達区梅灘洞416
(22) 出願日	平成10年12月11日(1998.12.11)	(72) 発明者	尹 在▲すん▼ 大韓民国京畿道龍仁市龍興邑農谷里山24番地
(31) 優先権主張番号	1998P28036	(72) 発明者	崔 定▲ひゅく▼ 大韓民国京畿道水原市八達区仁漢洞163番地 地勝京アパート1棟1201号
(32) 優先日	平成10年7月11日(1998.7.11)		
(33) 優先権主張国	韓国 (KR)		

(54) 【発明の名称】 フラッシュメモリデバイスの製造方法

(57) 【要約】

【課題】 フローティングゲートの表面積を最大化すると共にフローティングゲートの表面の食刻損傷を防止するフラッシュメモリ素子の製造方法を提供する。

【解決手段】 半導体基板51に活性領域を限定する素子分離膜53を形成する段階と、活性領域上にトンネル酸化膜55を形成する段階と、トンネル酸化膜形成後に半導体基板の全面に半導体膜57、保護膜及び第1導電膜を順次形成する段階と、素子分離膜上の第1導電膜を食刻してトンネル酸化膜上に第1導電膜パタンを形成する段階と、第1導電膜パタンの側壁にスペーサを形成する段階と、第1導電膜パタン及びスペーサをマスクとして保護膜を食刻し保護膜パタンを形成する段階と、保護膜パタン間に露出した半導体膜を食刻してトンネル酸化膜上に半導体膜パタンを形成して素子分離膜を露出し、かつ保護膜パタンも露出する段階と、保護膜パタンを除去し、また、半導体膜パタンをドーピングする段階と、半導体膜パタンをドーピング後に半導体基板の全面に層間絶縁膜65及び第2導電膜67を順次形成する段階と、を含むことを特徴とする。



1

【特許請求の範囲】

【請求項１】 半導体基板に活性領域を限定する素子分離膜を形成する段階と、活性領域上にトンネル酸化膜を形成する段階と、トンネル酸化膜形成後に半導体基板の全面に半導体膜、保護膜及び第１導電膜を順次形成する段階と、素子分離膜上の第１導電膜を食刻してトンネル酸化膜上に第１導電膜パターンを形成する段階と、第１導電膜パタンの側壁にスペーサを形成する段階と、第１導電膜パターン及びスペーサをマスクとして保護膜を食刻し保護膜パターンを形成する段階と、保護膜パターン間に露出した半導体膜を食刻してトンネル酸化膜上に半導体膜パターンを形成して素子分離膜を露出し、かつ保護膜パターンも露出する段階と、保護膜パターンを除去し、また、半導体膜パターンをドーピングする段階と、半導体膜パターンをドーピング後に半導体基板の全面に層間絶縁膜及び第２導電膜を順次形成する段階と、を含むことを特徴とするフラッシュメモリデバイス製造方法。

【請求項2】 半導体膜はドーピングされていないポリシリコン膜である請求項1記載のフラッシュメモリデバイスの製造方法。

【請求項 3】 保護層は窒素成分を含有する樹脂体膜である請求項 1 記載のフラッシュメモリデバイスの製造方法。

【請求項4】 窒素成分を含有する絶縁体膜はシリコン窒化膜又はシリコンオキシナイトライド膜である請求項3記載のフラッシュメモリ装置の製造方法。

【請求項5】 第1導電膜は半導体膜と同じかそれ以下の厚さである請求項1記載のフラッシュメモリデバイスの製造方法。

【請求項6】 第1導電層はドーピングされたポリシリコン膜である請求項1又は請求項5記載のフラッシュメモリデバイスの製造方法。

【請求項7】 スペースはドーピングされたシリコン膜又はシリコン窒化膜で形成する請求項1記載のフラッシュメモリデバイスの製造方法。

【請求項 8】 ドーピングされたシリコン膜はドーピングされたポリシリコン膜又はドーピングされた非晶質シリコン膜である請求項 7 記載のフラッシュメモリデバイスの製造方法。

【請求項 9】 露出した保護膜パターンは硝酸溶液を使用する湿式食刻工程で除去する請求項 1 記載のフラッシュメモリデバイスの製造方法。

【請求項 10】 半導体膜バタンをドーピングする段階はイオン注入により行う請求項 1 記載のフラッシュメモリデバイスの製造方法。

【請求項 11】 屋間絶縁膜は O/N/O 膜又は N/O 膜である請求項 1 記載のフラッシュメモリデバイスの製造方法。

【請求項12】 第2導電膜はドーピングされたポリシリコン膜又は耐火性金属を含有するポリサイド膜である。

2

請求項 1 記載のフラッシュメモリデバイスの製造方法。

【請求項13】 耐火性金属を含有するポリサイド膜はタングステンポリサイド膜又はチタンポリサイド膜である請求項12記載のフラッシュメモリデバイスの製造方法。

【要旨の詳しい説明】

【0001】

【発明の属する技術分野】本発明はフラッシュメモリ装置の製造方法に関する。

[0002]

【従来の技術】フラッシュメモリデバイスは、電源供給がなくてもメモリセルの記憶データが消滅しないデバイスである。従って、コンピュータのメモリアード等に広く使われている。フラッシュメモリデバイスには、フローティングゲートとコントロールゲート電極とが順に積層された構造のメモリセルが広く用いられている。

【0003】図1は、フラッシュメモリデバイスの断面図である。

【0004】図1を参照すれば、半導体基板1。例えばP型のシリコン基板の表面にチャネル領域を介在して隔置されたソース領域S及びドレイン領域Dが形成される。ソース領域S及びドレイン領域Dは半導体基板1と異なる導電型の不純物でドーピングされた不純物層、即ちN+型の不純物層で形成される。チャネル領域上には100Å以下の薄いトンネル酸化膜3、フローティングゲートFG、誘電体膜5及びコントロールゲート電極Cが順に形成される。

【0005】この素子にデータを記憶(プログラム)する動作は、ドレイン領域Dに5~7Vの高圧を印加し、コントロールゲート電極CGに10~12Vの高圧を印加することにより行われる。この際、ソース領域S及び半導体基板1には0Vを印加する。このように、コントロールゲート電極CG、ソース領域S、ドレイン領域D及び半導体基板1に電圧を印加すると、チャネル領域から発生したホットキャリア、即ちチャネルポットエレクトロンがトンネル酸化膜3を通してフローティングゲートFGに注入される。すると、この素子のしきい値電圧が増加して、データがプログラムされたことになる。

50

(3)

特開2000-40754

3

4

たことになる。

【0007】図2は、図1に示す素子の寄生容量を説明する等価回路図である。

【0008】図2を参照すると、コントロールゲート電極CGとフローティングゲートFG間に絶縁体膜5によるキャパシタCipoが、フローティングゲートFGと半導体基板1間にトンネル酸化膜3によるキャパシタCchが、フローティングゲートFGとソース領域S間にトンネル酸化膜3によるキャパシタCsが、フローティングゲートFGとドレイン領域D間にトンネル酸化膜3によるキャパシタCdが、それぞれ寄生容量として形成される。ここで、素子をプログラムするためにコントロールゲート電極CG及びドレイン領域Dに電圧VCG、電圧Vdを印加し、ソース領域S及び半導体基板1に0Vを印加すると、フローティングゲートFGに誘起される電圧VFG1は数式1のようになる。

【数1】 $VFG1 = [Cipo / (Cipo + Cd + Cch + Cs)] \times VCG$

【0009】また、素子に記憶されたデータを消去するために、ドレイン領域Dをフローティングさせた状態でコントロールゲート電極CG及び半導体基板1を接地し、ソース領域Sに電圧Vsを印加すると、フローティングゲートFGに誘起される電圧VFG2は数式2のようになる。

【数2】 $VFG2 = [Cs / (Cch + Cipo + Cs)] \times Vs$

【0010】数式1及び数式2から、キャパシタCipoを増加させるほどプログラム効率及び消去効率が増大することが分かる。

【0011】これは、キャパシタCipoが増加するほど、プログラム時のフローティングゲートFGの誘起電圧VFG1がコントロールゲート電圧VCGに近づき、消去時のフローティングゲートFGの誘起電圧VFG2が接地電位に近づくためである。従って、フラッシュメモリ素子特性を改善するためには、フローティングゲートとコントロールゲート電極との間のキャパシタCipoを増加させることが要求される。

【0012】図3は図1の素子を用いたNOR型フラッシュメモリ素子のセルアレイ領域の回路図である。

【0013】図3を参照すると、複数のビットラインB/L1、B/L2が平行に配置され、複数の単位セルが各ビットラインに並列に接続される。また、複数のビットラインB/L1、B/L2を横切る方向に複数のワードラインW/L1、W/L2が配置され、各ワードラインは単位セルのコントロールゲート電極に接続される。ここで、一本のビットラインに並列に接続された一対のセルは、一つのソース領域を共有する。そして、ソース領域はワードラインと平行した共通ソースラインC/Sに接続される。

【0014】セルC1をプログラムするために、第1ワ

ードラインW/L1にプログラム電圧、例えば10〜12Vを印加し、第1ビットラインB/L1に5〜7Vの電圧を印加する。また、第2ワードラインW/L2及び共通ソースラインC/Sは接地する。この際、セルC1と第1ビットラインB/L1を共有するセルC2のフローティングゲートに誘起される電圧VFG3は数式3のようになる。

【数3】 $VFG3 = [Cd / (Cch + Cipo + Cs + Cd)] \times Vd$

【0015】ここで、VdはセルC2のドレイン領域に印加される電圧、即ち第1ビットラインB/L1に印加される電圧である。

【0016】セルC1をプログラムすると、セルC2のフローティングゲートに数式3で表される電圧VFG3が誘起される。電圧VFG3はドレイン電圧Vdに比例し、キャパシタCipoが減少するほどドレイン電圧Vdに近づく。従って、キャパシタCipoが減少すると、非選択のセルC2がオンして選択したセルC1のプログラム動作の妨害になる。このような現象をドレインオン現象と称する。つまり所望のセルのプログラム効率を増大させるには、キャパシタCipoを増加させてドレインオン現象を抑制すればよい。

【0017】図4は図3の回路図のレイアウト図である。

【0018】図4を参照すると、複数のワードライン15が平行に配置され、ワードライン15に垂直に活性領域11が配置される。活性領域11から延設された共通ソース領域Sは、ワードライン15間にワードライン15と平行に配置される。ワードライン15下を介して共通ソース領域Sに対する活性領域11はセルのドレイン領域Dに該当する。ドレイン領域Dにはビットラインコンタクト17が配置され、ビットラインコンタクト17を貫くビットライン19はワードライン15に垂直に配置される。また、ビットライン19の間にはワードライン15方向に隣接するセルのフローティングゲートを隔離するための食刻マスク13が位置する。

【0019】図5〜図8は図4のBB'線に沿って切断した断面図であって、米国特許第5,675,162号に開示されたフラッシュメモリ素子の製造方法を説明するための図面である。

【0020】図5では、まず半導体基板21の活性領域と非活性領域とを限定するためのフィールド酸化膜23を形成し、活性領域の表面にトンネル酸化膜25を形成する。そしてトンネル酸化膜25の形成された半導体基板21全面に第1ドーピングされた第1ポリシリコン膜27及びシリコン窒化膜29を順次形成する。シリコン窒化膜29上には、図4の食刻マスク13を使用してフォトレジストパターン31を形成する。

【0021】図6では、フォトレジストパターン31を食刻マスクとして第1ポリシリコン膜27が露出するまで

(4)

特開2000-40754

5

シリコン窒化膜29を食刻することにより、活性領域の上部を覆うシリコン窒化膜パターン29を形成する。シリコン窒化膜パターン29形成後、全面に第2ドーピングされた第2ポリシリコン膜33を形成する。

【0022】図7では、第2ポリシリコン膜33を異方性食刻してシリコン窒化膜パターン29の側面にスペーサ33'を形成する。次に、シリコン窒化膜パターン29を食刻マスクとして第1ポリシリコン膜27を食刻することにより、第1ポリシリコン膜パターン27を形成する。

【0023】図8では、シリコン窒化膜パターン29を除去して第1ポリシリコン膜パターン27を露出する。次に、半導体基板21全面にO/N/O (oxide/nitride/oxide) 膜のような絶縁体膜35及び第3ポリシリコン膜37を順次に形成する。さらに、ワードライン15の形状のフォトリソマスクにより第3ポリシリコン膜37、絶縁体膜35及び第1ポリシリコン膜パターン27を食刻することにより、フローティングゲート27及びコントロールゲート電極37を形成する。

【0024】米国特許第5,675,162号によると、フローティングゲート27とコントロールゲート電極37とが重なる面積を最大にするために、隣接するフローティングゲート27の間隔を写真工程の解像限度より小さく形成すると共に、フローティングゲート27の縁部に第2ポリシリコン膜33によるスペーサ33'を残存させる。従って、フローティングゲート27とコントロールゲート電極37との間のキャパシタを最大にする。

【0025】

【発明が解決しようとする課題】しかし、米国特許第5,675,162号では、シリコン窒化膜パターン29を除去する際、第1ポリシリコン膜パターン27の表面が食刻損傷される。つまり、シリコン窒化膜パターン29をプラズマ食刻方法又は反応性イオン食刻方法で除去すると、第1ポリシリコン膜パターン27の表面に食刻損傷が発生してフローティングゲート27の表面モルホロジが不良になる。他の方法として、シリコン窒化膜パターン29を、溶解液を使用する湿式食刻工程で除去すると、第1ポリシリコン膜パターン27の一部が食刻されてフローティングゲート27の表面が均一にならない。そのため、フローティングゲート27とコントロールゲート電極37との間の絶縁体膜35のリーク電流特性及び破壊電圧特性が低下してフラッシュメモリセルの信頼性、プログラム特性及び消去特性が劣化する。

【0026】本発明は、フローティングゲートの表面積を最大化すると共にフローティングゲートの表面の食刻損傷を防止するフラッシュメモリ素子の製造方法を提供する。

【0027】

【課題を解決するための手段】以上のような課題を解決する本発明のフラッシュメモリデバイスの製造方法は、

6

半導体基板に活性領域を限定する素子分離膜を形成する段階と、活性領域上にトンネル酸化膜を形成する段階と、トンネル酸化膜形成後に半導体基板の全面に半導体膜、保護膜及び第1導電膜を順次形成する段階と、素子分離膜上の第1導電膜を食刻してトンネル酸化膜上に第1導電膜パターンを形成する段階と、第1導電膜パターンの側壁にスペーサを形成する段階と、第1導電膜パターン及びスペーサをマスクとして保護膜を食刻し保護膜パターンを形成する段階と、保護膜パターン間に露出した半導体膜を食刻してトンネル酸化膜上に半導体膜パターンを形成して素子分離膜を露出し、かつ保護膜パターンも露出する段階と、保護膜パターンを除去し、また、半導体膜パターンをドーピングする段階と、半導体膜パターンをドーピング後に半導体基板の全面に層間絶縁膜及び第2導電膜を順次形成する段階と、を含むことを特徴とする。ここで、第1導電膜はドーピングされたポリシリコン膜であり半導体膜と同じかそれ以下の厚さである。露出した保護膜パターンは溶解液を使用する湿式食刻工程で除去する。半導体膜パターンをドーピングする段階はイオン注入により行う。半導体膜はドーピングされていないポリシリコン膜であり、保護膜は窒素成分を含有する絶縁体膜。例えば、シリコン窒化膜又はシリコンオキシナイトライド膜であるといふ。スペーサはドーピングされたシリコン膜又はシリコン窒化膜で形成し、ここでドーピングされたシリコン膜は、ドーピングされたポリシリコン膜又はドーピングされた非晶質シリコン膜であるといふ。層間絶縁膜はO/N/O膜又はN/O膜である。第2導電膜はドーピングされたポリシリコン膜又は耐火性金属を含有するポリサイド膜、例えば、タングステンポリサイド膜又はチタンポリサイド膜である。

【0028】

【発明の実施の形態】以下、添付した図面に基づき本発明の望ましい実施形態を詳しく説明する。

【0029】図9～図14の分図Aは図4のAA'線に沿って切断した本発明によるフラッシュメモリ素子の製造方法を説明する断面図であって、分図Bは図4のBB'線に沿って切断した本発明によるフラッシュメモリ素子の製造方法を説明する断面図である。

【0030】図9では、まず半導体基板51、例えばP型シリコン基板に活性領域11の形状に素子分離膜53を形成して活性領域を決める。次に、活性領域に50Å～100Åのトンネル酸化膜55を形成する。トンネル酸化膜55は熱酸化膜で形成することが望ましい。そしてトンネル酸化膜55の形成された半導体基板51の全面に、1000Å程度の半導体膜57、500Å程度の保護膜59及び1000Å程度の第1導電膜61を順次形成する。半導体膜57はドーピングされていないポリシリコン膜で、第1導電膜61はドーピングされたポリシリコン膜で半導体膜57と同じかそれ以下の厚さに形成することが望ましい。

(5)

特開2000-40754

7

【0031】保護膜59は、半導体膜57及び第1導電膜61に対して食刻選択比の高い物質、例えば、窒素成分を含有する絶縁体膜やシリコン窒化膜、シリコンオキシナイトライド膜で形成することが望ましい。さらに、第1導電膜61上に第1フォトレジスト膜を形成し、図4の食刻マスク13と同じ形状に第1フォトレジスト膜をパタニングして第1フォトレジストパターンPR1を形成する。第1フォトレジストパターンPR1は活性領域に形成される。

【0032】図10では、第1フォトレジストパターンPR1を食刻マスクとして第1導電膜61を食刻することにより、トンネル酸化膜55の上部に第1導電膜パターン61を形成し、第1フォトレジストパターンPR1を除去する。次に、半導体基板51の全面にスペーサ用物質膜63を形成する。スペーサ用物質膜63はドーピングされたシリコン膜またはシリコン窒化膜で形成する。ドーピングされたシリコン膜はポリシリコン膜または非晶質シリコン膜で形成することが望ましい。スペーサ用物質膜63を非晶質シリコン膜で形成すると、スペーサを形成する異方性食刻時にスペーサの幅を均一に形成しやすくなる。

【0033】図11では、スペーサ用物質膜63を異方性食刻して第1導電膜パターン61の側壁にスペーサ63'を形成し、保護膜59を露出する。さらに、第1導電膜パターン61とスペーサ63'をマスクとして、分子分離膜53上の半導体膜57が露出するまで保護膜59を食刻する。この際、スペーサ63'がシリコン窒化膜で形成される場合、スペーサ63'がさらに食刻されて小さくなる。これにより、傾いた側壁を有する保護膜パターン59を形成できる。一方、スペーサ63'がドーピングされたシリコン膜で形成される場合、スペーサ63'は食刻されず大きさは変わらない。このようにスペーサ63'を食刻マスクとして保護膜59を食刻すると、保護膜パターン59の間隔が第1フォトレジストパターンPR1の間隔より小さくなる。即ち、保護膜パターン59の間隔を写真工程の限界解像度より小さく形成できる。

【0034】図12では、露出した半導体膜57を食刻して分子分離膜53を露出し、トンネル酸化膜55を覆う半導体膜パターン57を形成する。この際、第1導電膜パターン61も同時に食刻されて保護膜パターン59が露出する。ここで、スペーサ63'がドーピングされたシリコン膜で形成される場合、スペーサ63'も食刻されて除去される。一方、スペーサ63'がシリコン窒化膜で形成される場合、保護膜パターン59の絶縁上にスペーサ63'が残存するため、半導体膜パターン57の側壁を外に傾斜して形成しやすい。これは、図11で説明したように、スペーサ63'をシリコン窒化膜で形成する場合に保護膜パターン59の側壁が外に傾斜した形を有するからである。半導体膜パターン57が外に傾斜した側壁を有

8

すると、後続工程で形成される第2導電膜が、隣接する半導体膜パターン57間に隙間なく充填される。

【0035】続いて、保護膜パターン59を化学溶液、例えば硝酸溶液で除去して半導体膜パターン57を露出する。この際、シリコン窒化膜で形成されたスペーサ63'も除去される。保護膜パターン59を硝酸溶液を使用して湿式食刻工程で除去すると、半導体膜パターン57の表面の食刻損傷を最小にすることができる。これは半導体膜パターン57が不純物でドーピングされていない半導体膜、即ちドーピングされていないポリシリコン膜であるからである。従って、保護膜パターン59を除去することにより露出する半導体膜パターン57の表面は、優れたモルホロジを有する。次に、半導体膜パターン57が露出された半導体基板51の全面に不純物イオンI、例えばAsイオンを50KeVのエネルギーと $2.0 \times 10^{15} \text{ atoms/cm}^2$ の濃度で注入してドーピングする。このイオン注入工程は、保護膜パターン59を除去する前に行ってもよい。この場合は、イオン注入エネルギーは保護膜パターン59の厚さを考慮して50KeVより高く設定する。

【0036】図13では、半導体基板51の全面に層間絶縁膜65及び第2導電膜67を形成する。層間絶縁膜65は酸化膜に比べて誘電率の高い物質、例えばシリコン窒化膜やO/N/O膜、N/O膜で形成することが望ましい。第2導電膜67は、ドーピングされたポリシリコン膜や導電性の優れた物質膜、例えば耐火性金属(refractory metal)を含有するポリサイド膜で形成する。耐火性金属を含有するポリサイド膜はタングステンポリサイド膜またはチタンポリサイド膜である。このようにイオン注入方法によりドーピングされた半導体膜パターン57上に層間絶縁膜65を形成すれば、層間絶縁膜65と半導体膜パターン57の界面特性が改善される。これは、半導体膜パターン57表面のモルホロジが優れているからである。次に、第2導電膜67上に第2フォトレジスト膜を形成する。第2フォトレジスト膜を図4のワードライン15と同じ形状に写真工程でパタニングして、活性領域を横切る第2フォトレジストパターンPR2を形成する。

【0037】図14では、第2フォトレジストパターンPR2を食刻マスクとして第2導電膜67、層間絶縁膜65及び半導体膜パターン57を順次食刻してフローティングゲート57'、層間絶縁膜パターン65'及びコントロールゲート電極となるワードライン67'を形成して、第2フォトレジストパターンPR2を除去する。フローティングゲート57'の両側の活性領域には、半導体基板51と異なる導電型の不純物イオン、例えばN型の不純物イオンを注入してソース領域S及びドレイン領域Dを形成する。

【0038】

【発明の効果】本発明により、隣接するフローティングゲートの間隔を写真工程の限界解像度より小さく形成す

50

(6)

特開2000-40754

9

10

ると共に、フローティングゲートと層間絶縁膜の間の界面特性を向上させる。これにより、フローティングゲートとコントロールゲート電極との間の寄生容量が大きくなりプログラム特性及び消去特性が改善したフラッシュメモリ素子を形成できる。

【図面の簡単な説明】

【図1】フラッシュメモリ素子の断面図。
 【図2】図1の素子の寄生容量の等価回路図。
 【図3】NOR型フラッシュメモリ素子の回路図。
 【図4】図3の回路図のレイアウト図。
 【図5】従来のフラッシュメモリ素子の製造工程図。
 【図6】図5に続く工程図。
 【図7】図5に続く工程図。
 【図8】図5に続く工程図。
 【図9】従来のフラッシュメモリ素子の製造工程図。
 【図10】図9に続く工程図。
 【図11】図9に続く工程図。
 【図12】図9に続く工程図。

* 【図13】図9に続く工程図。

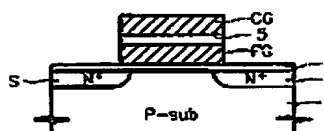
【図14】図9に続く工程図。

【符号の説明】

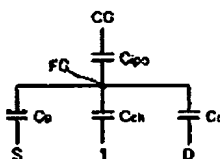
PR1 第1フォトリソストパタン
 PR2 第2フォトリソストパタン
 51 半導体基板
 53 素子分離膜
 55 トンネル酸化膜
 57 半導体膜
 57' フローティングゲート
 59 保護膜
 61 第1導電膜
 63 スペース用物質膜
 65 層間絶縁膜
 65' 層間絶縁膜パタン
 67 第2導電膜
 67' ワードライン

*

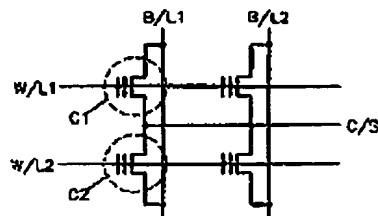
【図1】



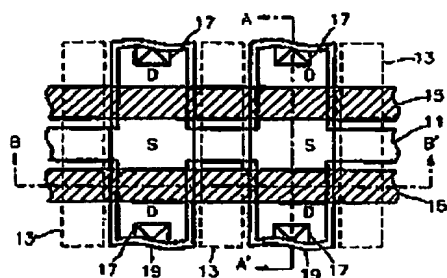
【図2】



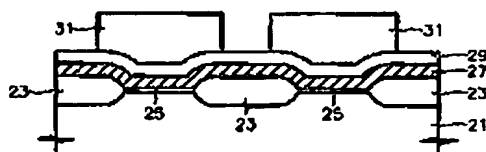
【図3】



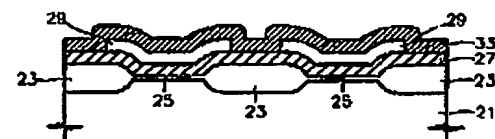
【図4】



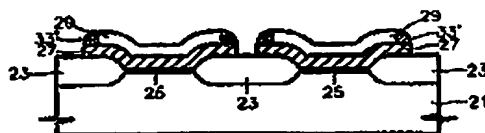
【図5】



【図6】



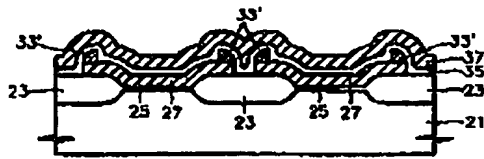
【図7】



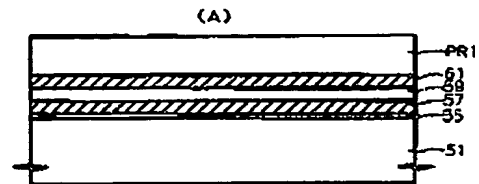
(7)

特開2000-40754

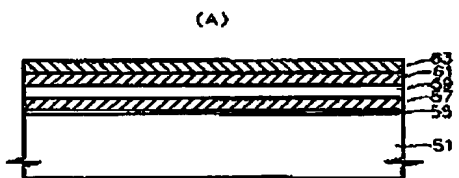
【図8】



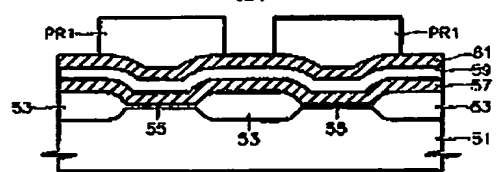
【図9】



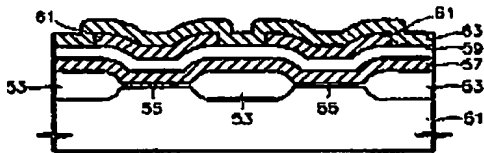
【図10】



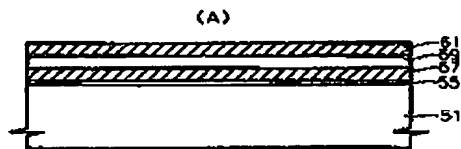
(B)



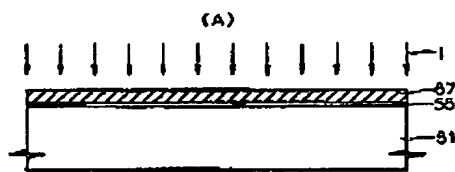
(B)



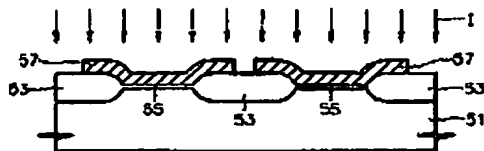
【図11】



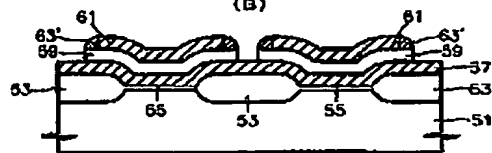
【図12】



(B)



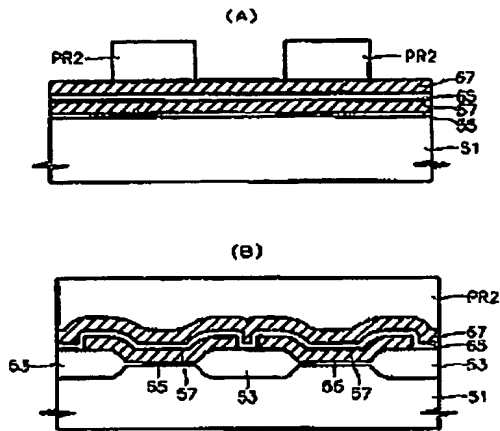
(B)



(8)

特開2000-40754

【図13】



【図14】

